



THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Yasutaka SAKAINO et al. :
Serial No.: 10/647,307 : Group Art Unit: 2816
Filed: December 1, 2003 : Attorney Docket No. OKI.569
For: INTEGRATED CIRCUIT DEVICE

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicants, in the above-identified application, hereby claim the priority date under
the International Convention of the following Japanese application:

Appln. No. 2002-251013 filed August 29, 2002

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC

Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: December 1, 2003

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 8月29日

出願番号

Application Number:

特願2002-251073

[ST.10/C]:

[JP2002-251073]

出願人

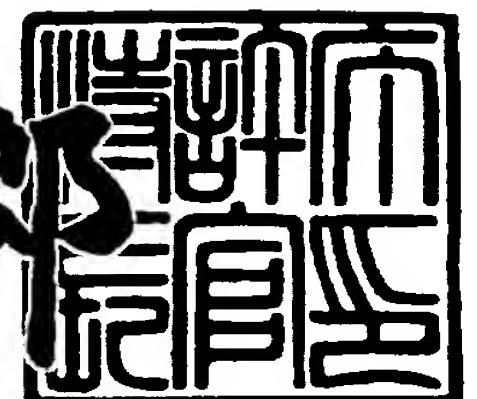
Applicant(s):

沖電気工業株式会社

2002年10月18日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3081634

【書類名】 特許願

【整理番号】 OG004705

【あて先】 特許庁長官殿

【国際特許分類】 G06F 3/06 301
H03L 7/00

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 境野 康隆

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 舟堀 浩介

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100089093

【弁理士】

【氏名又は名称】 大西 健治

【手数料の表示】

【予納台帳番号】 004994

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9720320

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 所定の周波数の第 1 のクロック信号で動作する周辺機器をその外部に接続する半導体集積回路装置において、

前記第 1 のクロック信号の周波数に関する情報を有する CPU と、

この CPU を動作させる第 2 のクロック信号を生成すると共に、この第 2 のクロック信号を分周した複数の第 3 のクロック信号を出力するクロックジェネレータと、

このクロックジェネレータから第 3 のクロック信号を受け取り、前記 CPU の前記情報に基づいて第 3 のクロック信号のうち一つのみを選択的に出力するクロック停止部と、

このクロック停止部から第 3 のクロック信号のうちの一つを受け取った場合のみ動作し、受け取ったクロック信号の周波数を変換して出力するタイマと、

このタイマから出力されたクロック信号と、前記クロックジェネレータから出力された第 3 のクロック信号の他の一つを受け取り、前記 CPU からの前記情報に基づいて受け取ったクロック信号のうちの一つを前記周辺機器に供給する同期式シリアルとを有する半導体集積回路装置。

【請求項 2】 前記クロックジェネレータは、 $1/n$ カウンタを有する請求項 1 記載の半導体集積回路装置。

【請求項 3】 前記同期式シリアルは、クロックセレクタを有する請求項 1 記載の半導体集積回路装置。

【請求項 4】 前記タイマは、前記 CPU からの前記情報に基づいてディスエーブル信号を受けとり、このディスエーブル信号によって非動作状態になる請求項 1 記載の半導体集積回路装置。

【請求項 5】 所定の周波数の第 1 のクロック信号で動作する周辺機器をその外部に接続する半導体集積回路装置において、

前記第 1 のクロック信号の周波数に関する情報を有する CPU と、

この CPU を動作させる第 2 のクロック信号を生成すると共に、この第 2 のクロ

ック信号を分周した複数の第3のクロック信号を出力するクロックジェネレータと、

このクロックジェネレータから第3のクロック信号を受け取り、前記CPUの前記情報に基づいて第3のクロック信号のうち一つのみを選択的に出力するクロック停止部と、

このクロック停止部から第3のクロック信号のうちの一つを受け取った場合のみ動作し、受け取ったクロック信号の周波数を変換して出力する第1及び第2のタイマと、

この第1及び第2のタイマから出力されたそれぞれのクロック信号を受け取り、前記CPUからの前記情報に基づいて受け取ったクロック信号のうちの一つを前記周辺機器に供給する同期式シリアルとを有する半導体集積回路装置。

【請求項6】 前記クロックジェネレータは、 $1/n$ カウンタを有する請求項5記載の半導体集積回路装置。

【請求項7】 前記同期式シリアルは、クロックセレクタを有する請求項5記載の半導体集積回路装置。

【請求項8】 前記第1及び第2のタイマは、前記CPUからの前記情報に基づいてそれぞれ第1及び第2のディスエーブル信号を受けとり、この第1及び第2のディスエーブル信号によって前記第1及び第2のタイマが非動作状態になる請求項5記載の半導体集積回路装置。

【請求項9】 所定の周波数の第1のクロック信号で動作する周辺機器をその外部に接続する半導体集積回路装置において、

前記第1のクロック信号の周波数に関する情報を有するCPUと、

このCPUを動作させる第2のクロック信号を生成し、出力するクロックジェネレータと、

このクロックジェネレータから第2のクロック信号を受け取り、第2のクロック信号を分周して複数の第3のクロック信号として出力する分周回路と、

この分周回路から第3のクロック信号のうちの一つを受け取り、前記CPUの前記情報に基づいて受け取ったクロック信号を出力するクロック停止部と

このクロック停止部から前記第3のクロック信号のうちの一つを受け取った場

合のみ動作し、受け取ったクロック信号の周波数を変換して出力するタイマと、

このタイマから出力されたクロック信号および前記分周回路から第3のクロック信号を受け取り、前記CPUからの前記情報に基づいて受け取ったクロック信号のうちの一つを前記周辺機器に供給する同期式シリアルとを有する半導体集積回路装置。

【請求項10】 前記同期式シリアルは、クロックセレクタを有する請求項9記載の半導体集積回路装置。

【請求項11】 前記タイマは、前記CPUからの前記情報に基づいてディスエーブル信号を受けとり、このディスエーブル信号によって前記のタイマが非動作状態になる請求項9記載の半導体集積回路装置。

【請求項12】 前記クロックジェネレータから第2のクロック信号を受け取り、前記CPUの前記情報に基づいて受け取ったクロック信号を出力する他のクロック停止部と、

この他のクロック停止部から前記第2のクロック信号のうちの一つを受け取った場合のみ動作し、受け取ったクロック信号の周波数を変換して出力する他のタイマとをさらに有し、

前記同期式シリアルは、前記タイマから出力されたクロック信号、前記他のタイマから出力されたクロック信号、前記他のクロック停止部から受け取った前記第2のクロック信号および前記分周回路から第3のクロック信号を受け取り、前記CPUからの前記情報に基づいて受け取ったクロック信号のうちの一つを前記周辺回路に供給する請求項9記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

この発明は、同期式シリアル及びタイマ機能を有した、マイクロコンピュータを含む半導体集積回路装置に関するもので、特に、低消費電力化を実現することができる半導体集積回路装置に関するものである。

【0002】

【従来の技術】

従来のマイクロコンピュータを含む半導体集積回路装置は、特開2001-325244に開示されるものがある。ここに開示された発明は、タイマ機能を備えた半導体装置、マイクロコンピュータ及び電子機器に関するものである。半導体装置10は、CPU40、タイマ制御回路30、タイマ回路20、ポート出力コントロール回路60等から構成されている。タイマ回路20は、タイマ値設定レジスタ22に格納されているタイマ値に基づきカウント動作を行う。カウンタ24がオーバーフローすると、タイマオーバーフロー信号を発生し、タイマオーバーフロー信号はポート出力コントロール回路60でボーレートクロックとして変換され、同期式シリアル等の機能ブロックに送られる。なお、同期式シリアルブロックに接続されている周辺機器と通信を行うために、ボーレートクロックが周辺機器用のマスタークロックとして使用される。

【 0 0 0 3 】

【発明が解決しようとする課題】

しかしながら、上述の従来例では、同期式シリアルが、どんな周波数で通信する周辺機器と接続する場合でも、同期式シリアルのボーレートクロック生成のために絶えずタイマ回路を動作させなければならないので、消費電流が大きくなるという問題があった。

この発明は、上述の問題を解決する事を目的にしたもので、低消費電力で周辺機器を動作させることができる適切な周波数のクロックを生成することができる半導体集積回路装置を提供する事を目的とする。

【 0 0 0 4 】

【課題を解決するための手段】

この発明の半導体集積回路装置は、所定の周波数の第1のクロック信号で動作する周辺機器をその外部に接続することを前提にして、第1のクロック信号の周波数に関する情報を有するCPUと、このCPUを動作させる第2のクロック信号を生成すると共に、この第2のクロック信号を分周した複数の第3のクロック信号を出力するクロックジェネレータと、このクロックジェネレータから第3のクロック信号を受け取り、CPUの情報に基づいて第3のクロック信号のうち一つのみを選択的に出力するクロック停止部と、このクロック停止部から第3のクロック信

号のうちの一つを受け取った場合のみ動作し、受け取ったクロック信号の周波数を変換して出力するタイマと、このタイマから出力されたクロック信号と、クロックジェネレータから出力された第3のクロック信号の他の一つを受け取り、CPUからの情報に基づいて受け取ったクロック信号のうちの一つを周辺機器に供給する同期式シリアルとを有している。

【 0 0 0 5 】

【発明の実施の形態】

この発明の第1の実施例に係る半導体集積回路装置を図1に示す。以下、この発明の第1の実施例を図1を参照しつつ説明する。

この発明の第1の実施例の半導体集積回路装置101は、CPU102、クロックジェネレータ104、タイマ106、同期式シリアル124およびクロック停止モジュール130とから構成される。クロックジェネレータ104は、 $1/n$ カウンタ140を有している。したがって、クロックジェネレータ104は、所定の周波数のクロック信号と、その $1/n$ 分周されたクロック信号を出力することができる。タイマ106の内部には、タイマ値設定レジスタ107、タイマカウンタ108およびボーレートクロック生成回路121が含まれている。同期式シリアル124は、クロックセレクタ122と送受信回路125を有している。CPU102、クロックジェネレータ104、タイマ106および同期式シリアル124は、CPUバス160を介して接続されている。

クロックジェネレータ104から出力される第1のクロック信号150は、30MHzの周波数を有しており、CPU102に供給される。クロックジェネレータ104から出力される第2のクロック信号151は、7.5MHzの周波数を有しており、クロック停止モジュール130を介してタイマ106に供給される。クロックジェネレータ104から出力される第3のクロック信号152は、15MHzの周波数を有しており、クロック停止モジュール130を介してクロックセレクタ122に供給される。

タイマ値設定レジスタ107の設定にしたがって、タイマカウンタ108から出力されるオーバーフロー信号120は、ボーレートクロック生成回路121に供給される。ボーレートクロック生成回路121から出力されるクロック信号1

53は、タイマ値設定レジスタ107の設定にしたがって、0～1.875MHzの周波数を有している。このクロック信号153は、クロックセレクタ122に供給される。

同期式シリアル124と半導体集積回路装置101の外部装置である周辺機器1011とは、外部端子1001を介して接続されている。ここで、周辺機器1011には、15MHzの周波数で動作するマルチメディアカード、SDカードおよび1MHz以下の周波数で動作するFM/AMチューナー用PLL、RTC（時計用タイマ）、LCDドライバ等が想定されている。

【0006】

次に、図1を用いて第1の実施例の動作について説明する。

半導体集積回路装置101が周辺機器1011と通信を行う手順は次のようになる。まず、CPU102の仕様によって、クロックジェネレータ104から出力するクロック信号の周波数が決定される。ここでは上述したように第1のクロック信号150が30MHz、第2のクロック信号151が7.5MHz、第3のクロック信号152が15MHzである。次に、CPU102によりタイマ値設定レジスタ107の値が設定され、タイマカウンタ108の周期が設定される。このタイマカウンタ108から出力されるオーバーフロー信号120をボーレートクロック生成回路121が受け取る。これにより、オーバーフロー信号120に従って決定された周波数のクロック信号153がボーレートクロック生成回路121から出力される。第1の実施例においては、上述したようにボーレートクロック生成回路121は0～1.875MHzのクロック信号153を出力することが可能である。

CPU102はクロックセレクタ122を切り替える信号を出力する。この信号に応答して、クロックセレクタ122は、クロックジェネレータ104から出力される第3のクロック信号152またはタイマ106から出力されるクロック信号153を選択する。同期式シリアル124においては、クロックセレクタ122によって選択されたクロック信号の周波数の速度で、送受信回路125が外部端子1001経由して、外部周辺機器1011と通信を行う。

【0007】

周辺機器 1 0 1 1 が 1. 8 7 5 M H z 以下のクロック信号で動作する機器の場合、タイマ 1 0 6 から出力されるクロック信号 1 5 3 が必要となる。したがって、クロック停止モジュール 1 0 3 は、第 3 のクロック信号 1 5 2 の出力を止め、第 2 のクロック信号 1 5 1 をタイマに供給する。したがって、タイマ 1 0 6 は動作を続ける。

一方、周辺機器 1 0 1 1 が 1 5 M H z のクロック信号で動作する機器の場合、第 3 のクロック信号 1 5 2 のみが必要になり、タイマ 1 0 6 から出力されるクロック信号 1 5 3 は不必要である。したがって、クロック停止モジュール 1 3 0 は、第 2 のクロック信号 1 5 1 の出力を停止するため、タイマ 1 0 6 はその動作を停止させることになる。これにより、1 5 M H z で動作する周辺機器を接続した場合、第 1 の実施例の半導体集積回路によれば、タイマ 1 0 6 の消費電力を削減することができる。

第 1 の実施例におけるタイマ 1 0 6 の動作停止は、半導体集積回路装置 1 0 1 に接続する周辺機器 1 0 1 1 が決まれば、それにとまって設定される。したがって、タイマ 1 0 6 は周辺機器 1 0 1 1 が 1 5 M H z で動作する場合には最初から不要な回路であるが、半導体集積回路 1 0 1 はあらゆる周辺機器に対応できるよう設計されている。なお、この実施例は、CPU 1 0 2 が接続されている周辺機器を判断してタイマ 1 0 6 を動作停止するような選択的ディスエーブルとは異なる。このような選択的ディスエーブルでは、出力されるクロック信号が安定しないという欠点がある。

なお、上述の例では第 2 のクロック信号 1 5 1 がタイマ 1 0 6 に供給されないことにより、タイマ 1 0 6 が動作しないことを説明したが、CPU 1 0 2 からタイマ 1 0 6 へディスエーブル信号を出力することによりタイマ 1 0 6 が動作しないようにすることも可能である。すなわち、半導体集積回路装置 1 0 1 に接続する周辺機器 1 0 1 1 が決まればその周辺機器 1 0 1 1 が必要とするクロック周波数が決まり、その情報を CPU 1 0 2 に設定する。したがって、CPU 1 0 2 はこの設定情報に従ってタイマ 1 0 6 にディスエーブル信号を出力するか否かを判断できるのである。なお、ディスエーブル信号でタイマ 1 0 6 を動作しないように設定する場合、クロック停止モジュール 1 3 0 は、第 2 のクロック信号 1 5 1 を出力し

つづけてもいいし、出力を停止させても良い。

クロックジェネレータ 1 0 4 内に設けられている $1/n$ カウンタ 1 4 0 は常に動作し、第 1 のクロック信号 1 5 0 を分周したクロック信号 1 5 1、1 5 2 を出力しているが、この $1/n$ カウンタ 1 4 0 の消費電力はわずかであり、タイマ 1 0 6 の消費電力と比べると無視しうる値である。第 1 の実施例ではクロック信号を分周するために $1/n$ カウンタ 1 4 0 を用いたが、分周器などの他の分周手段を用いることができるのは言うまでもない。

【 0 0 0 8 】

この発明の第 2 の実施例に係る半導体集積回路装置を図 2 に示す。以下、この発明の第 2 の実施例を図 2 を参照しつつ説明する。なお、図 2 において図 1 と同一部分には同一符号を付してその説明を省略する。

この発明の第 2 の実施例の半導体集積回路装置 2 0 1 は、CPU 1 0 2、クロックジェネレータ 2 0 4、第 1 のタイマ 1 0 6、第 2 のタイマ 2 0 6、同期式シリアル 1 2 4 およびクロック停止モジュール 1 3 0 とから構成される。クロックジェネレータ 2 0 4 は、 $1/n$ カウンタ 1 4 0 を有している。第 2 のタイマ 2 0 6 の内部には、タイマ値設定レジスタ 2 0 7、タイマカウンタ 2 0 8 およびボーレートクロック生成回路 2 2 1 が含まれている。

クロックジェネレータ 2 0 4 から出力される第 1 のクロック信号 1 5 0 は、3 0 MHz の周波数を有しており、CPU 1 0 2 に供給される。クロックジェネレータ 1 0 4 から出力される第 2 のクロック信号 1 5 1 は、7. 5 MHz の周波数を有しており、クロック停止モジュール 1 3 0 を介して第 1 のタイマ 1 0 6 に供給される。クロックジェネレータ 1 0 4 から出力される第 3 のクロック信号 2 5 2 は、第 1 のクロック信号と同様に 3 0 MHz の周波数を有しており、クロック停止モジュール 1 3 0 を介して第 2 のタイマ 2 0 6 に供給される。

タイマ値設定レジスタ 2 0 7 の設定にしたがって、タイマカウンタ 2 0 8 から出力されるオーバーフロー信号 2 2 0 は、ボーレートクロック生成回路 2 2 1 に供給される。ボーレートクロック生成回路 2 2 1 から出力されるクロック信号 2 5 3 は、タイマ値設定レジスタ 2 0 7 の設定にしたがって、1. 8 7 5 ~ 1 5 MHz の周波数を有している。このクロック信号 2 5 3 は、クロックセレクタ 1 2 2

に供給される。

【0009】

次に、図2を用いて第2の実施例の動作について説明する。

半導体集積回路装置201が周辺機器1011と通信を行う手順は次のようになる。まず、第1の実施例と同様に第1のクロック信号150の周波数が30MHzに決定される。また第2の実施例においては、第2のクロック信号151が7.5MHz、第3のクロック信号252が30MHzとなる。次に、CPU102によりタイマ値設定レジスタ107、207の値が設定され、タイマカウンタ108、208の周期が設定される。タイマカウンタ108、208からそれぞれ出力されるオーバーフロー信号120、220をボーレートクロック生成回路121、221がそれぞれ受け取る。これにより、オーバーフロー信号120、220に従って決定された周波数のクロック信号153、253がボーレートクロック生成回路121、221からそれぞれ出力される。上述したように、ボーレートクロック生成回路121は、0～1.875MHzのクロック信号153を、ボーレートクロック生成回路221は1.875MHz～15MHzのクロック信号253を出力することが可能である。

CPU102はクロックセレクタ122を切り替える信号を出力する。この信号に応答して、クロックセレクタ122は、タイマ106から出力されるクロック信号153またはタイマ206から出力されるクロック信号253を選択する。同期式シリアル124においては、クロックセレクタ122によって選択されたクロック信号の周波数の速度で、送受信回路125が外部端子1001経由して、外部周辺機器1011と通信を行う。

【0010】

周辺機器1011が1.875MHz以下のクロック信号で動作する機器の場合、タイマ106から出力されるクロック信号153が必要となる。したがって、クロック停止モジュール103は、第3のクロック信号252の出力を止め、第2のクロック信号151をタイマに供給する。したがって、タイマ106は動作し、タイマ206は動作しない。

一方、周辺機器1011が1.875MHz～15MHzのクロック信号で動作す

る機器の場合、タイマ 2 0 6 から出力されるクロック信号 2 5 3 が必要になり、タイマ 1 0 6 から出力されるクロック信号 1 5 3 は不必要である。したがって、クロック停止モジュール 1 3 0 は、第 2 のクロック信号 1 5 1 の出力を停止するため、タイマ 1 0 6 はその動作を停止させることになる。これにより、タイマ 2 0 6 は動作し、タイマ 1 0 6 は動作しない。

タイマ 1 0 6 は 7. 5 MHz の第 2 のクロック信号 1 5 1 で動作しているため、1 5 MHz の第 3 のクロック信号 2 5 2 で動作しているタイマ 2 0 6 に比べてその消費電力は $1/4$ 以下である。したがって、周辺機器 1 0 1 1 が 1. 8 7 5 MHz 以下のクロック信号で動作する機器の場合、周辺機器 1 0 1 1 が 1. 8 7 5 MHz ~ 1 5 MHz のクロック信号で動作する機器の場合に比べてより低消費電力で動作が可能となる。なお、クロックジェネレータ 2 0 4 から更に何種類かのクロック信号を出力させ、出力されたクロック信号ごとにタイマを設けてさらに設定を多段階化することも可能であるが、いずれか一つのタイマしか利用しないことになるので、低消費電力化とタイマ増設の比較によって半導体集積回路装置 2 0 1 の設計が決定される。

第 2 の実施例におけるタイマ 1 0 6 または 2 0 6 の動作停止は、半導体集積回路装置 2 0 1 に接続する周辺機器 1 0 1 1 が決まれば、それにもなって設定される。したがって、タイマ 1 0 6 または 2 0 6 のいずれかは最初から不要な回路であるが、半導体集積回路 2 0 1 はあらゆる周辺機器に対応できるよう設計されている。なお、第 2 の実施例は第 1 の実施例同様に選択的ディスエーブルとは異なる。

また、上述の例ではクロック信号 1 5 1 または 2 5 2 のいずれかがタイマ 1 0 6 または 2 0 6 に供給されないことにより、タイマ 1 0 6 または 2 0 6 が動作しないことを説明したが、CPU 1 0 2 からタイマ 1 0 6 または 2 0 6 へディスエーブル信号を出力することによりタイマ 1 0 6 または 2 0 6 が動作しないようにすることも第 1 の実施例同様に可能である。さらに、クロックジェネレータ 2 0 4 内に設けられている $1/n$ カウンタ 1 4 0 についても第 1 の実施例と同様である。

【 0 0 1 1 】

この発明の第 3 の実施例に係る半導体集積回路装置を図 3 に示す。以下、この発明の第 3 の実施例を図 3 を参照しつつ説明する。なお、図 3 において図 1 および図 2 と同一部分には同一符号を付してその説明を省略する。

この発明の第 3 の実施例の半導体集積回路装置 3 0 1 は、CPU 1 0 2、クロックジェネレータ 3 0 4、タイマ 1 0 6、タイムベースカウンタ 3 6 0、同期式シリアル 1 2 4 およびクロック停止モジュール 3 3 0、3 3 1 とから構成される。

クロックジェネレータ 3 0 4 から出力される第 1 のクロック信号 1 5 0 は、3 0 MHz の周波数を有しており、CPU 1 0 2 に供給される。クロックジェネレータ 3 0 4 から出力される第 2 のクロック信号 3 5 0 は、3 0 MHz の周波数を有しており、クロック停止モジュール 3 3 0 を介してタイムベースカウンタ 3 6 0 に供給される。タイムベースカウンタ 3 6 0 は受け取った第 2 のクロック信号 3 5 0 を分周して、1 5 MHz の第 3 のクロック信号 3 5 1、7. 5 MHz の第 4 のクロック信号 3 5 2、3. 7 5 MHz の第 5 のクロック信号 3 5 3 を出力する。第 3 ～第 5 のクロック信号 3 5 1、3 5 2、3 5 3 はいずれも同期式シリアル 1 2 4 のクロックセクタ 1 2 2 に供給される。また、第 4 のクロック信号 3 5 2 は、クロック停止モジュール 3 3 1 を介してタイマ 1 0 6 に供給される。

【 0 0 1 2 】

次に、図 3 を用いて第 3 の実施例の動作について説明する。

半導体集積回路装置 3 0 1 が周辺機器 1 0 1 1 と通信を行う手順は次のようになる。まず、第 1 の実施例と同様に第 1 のクロック信号 1 5 0 の周波数が 3 0 MHz に決定される。次に、CPU 1 0 2 によりタイマ値設定レジスタ 1 0 7 の値が設定され、所定の周波数のクロック信号 1 5 3 がボーレートクロック生成回路 1 2 1 から出力される。上述したように、ボーレートクロック生成回路 1 2 1 は 0 ～ 1. 8 7 5 MHz のクロック信号 1 5 3 を出力することが可能である。

CPU 1 0 2 はクロックセクタ 1 2 2 を切り替える信号を出力する。この信号に応答して、クロックセクタ 1 2 2 は、タイマ 1 0 6 から出力されるクロック信号 1 5 3 またはタイムベースカウンタ 3 6 0 から出力される第 3 ～第 5 のクロック信号 3 5 1 ～ 3 5 3 のいずれか一つを選択する。同期式シリアル 1 2 4 においては、クロックセクタ 1 2 2 によって選択されたクロック信号の周波数の速

度で、送受信回路 1 2 5 が外部端子 1 0 0 1 経由して、外部周辺機器 1 0 1 1 と通信を行う。

【 0 0 1 3 】

周辺機器 1 0 1 1 が 1. 8 7 5 M H z 以下のクロック信号で動作する機器の場合、タイマ 1 0 6 から出力されるクロック信号 1 5 3 が必要となる。したがって、クロック停止モジュール 3 3 1 は、第 4 のクロック信号 3 5 2 をタイマに供給する。したがって、タイマ 1 0 6 は動作する。

一方、周辺機器 1 0 1 1 が 3. 7 5 M H z、7. 5 M H z または 1 5 M H z のクロック信号で動作する機器の場合、タイマ 1 0 6 から出力されるクロック信号 1 5 3 は不必要である。したがって、クロック停止モジュール 3 3 0 は、第 4 のクロック信号 3 5 2 の出力を停止するため、タイマ 1 0 6 はその動作を停止させることになる。一方、クロックセレクタ 1 2 2 は CPU 1 0 2 からの信号に応答して第 3 ～第 5 の信号 3 5 1 ～3 5 3 のいずれかを選択する。

タイムベースカウンタ 3 6 0 は、単にクロックを分周する回路であるため、第 1 の実施例で説明した $1/n$ カウンタ 1 4 0 と同様にその消費電力は極めて小さい。具体的には、タイマ 1 0 6 の消費電力と比較すると約 $1/100$ 程度である。したがって、周辺機器 1 0 1 1 が 3. 7 5 M H z、7. 5 M H z または 1 5 M H z のクロック信号で動作する機器の場合、周辺機器 1 0 1 1 が 0 ～1. 8 7 5 M H z のクロック信号で動作する機器の場合に比べてより低消費電力で動作が可能となる。

第 3 の実施例におけるタイマ 1 0 6 は、第 1 の実施例と同様に最初から不要な回路であるが、半導体集積回路 3 0 1 はあらゆる周辺機器に対応できるよう設計されているため必要である。また、第 3 の実施例は第 1 の実施例同様に選択的ディスプレイとは異なる。

【 0 0 1 4 】

この発明の第 4 の実施例に係る半導体集積回路装置を図 4 に示す。以下、この発明の第 4 の実施例を図 4 を参照しつつ説明する。なお、図 4 において図 1 ～図 3 と同一部分には同一符号を付してその説明を省略する。

この発明の第 4 の実施例の半導体集積回路装置 4 0 1 は、CPU 1 0 2、クロッ

クジェネレータ 4 0 4、第 1 のタイマ 1 0 6、第 2 のタイマ 2 0 6、タイムベースカウンタ 3 6 0、同期式シリアル 1 2 4 およびクロック停止モジュール 4 3 0、3 3 1 とから構成される。第 4 の実施例の半導体集積回路装置 4 0 1 は、第 1 ～ だ い 3 の実施例の半導体集積回路装置を組み合わせたものである。

クロックジェネレータ 4 0 4 から出力される第 1 ～ 第 4 のクロック信号 1 5 0、2 5 2、3 5 0、4 5 0 は、いずれも 3 0 MHz の周波数を有している。第 1 のクロック信号 1 5 0 は直接 CPU 1 0 2 に供給され、第 2 ～ 第 4 のクロック信号 2 5 2、3 5 0、4 5 0 は、クロック停止モジュール 4 3 0 を介してそれぞれ第 2 のタイマ 2 0 6、タイムベースカウンタ 3 6 0 およびクロックセレクタ 1 2 2 に供給される。第 2 のクロック信号 2 5 2 は、第 2 の実施例と同様に第 2 のタイマ 2 0 6 に供給され、第 2 のタイマからは 1. 8 7 5 MHz ～ 1 5 MHz のクロック信号 2 5 3 がクロックセレクタ 1 2 2 に出力される。第 3 のクロック信号 3 5 0 は、第 3 の実施例と同様にタイムベースカウンタ 3 6 0 へ供給され、第 1 のタイマ 1 0 6 を介して 0 ～ 1. 8 7 5 MHz のクロック信号 1 5 3、3. 7 5 MHz のクロック信号 3 5 1、7. 5 MHz のクロック信号 3 5 2 および 1 5 MHz のクロック信号 3 5 3 がクロックセレクタ 1 2 2 に供給される。第 4 のクロック信号 4 5 0 は、第 1 の実施例と同様に直接クロックセレクタ 1 2 2 に供給される。

【 0 0 1 5 】

次に、図 4 を用いて第 4 の実施例の動作について説明する。

半導体集積回路装置 4 0 1 が周辺機器 1 0 1 1 と通信を行う手順は次のようになる。まず、第 1 の実施例と同様に第 1 のクロック信号 1 5 0 の周波数が 3 0 MHz に決定される。次に、第 2 の実施例と同様に CPU 1 0 2 によりタイマ値設定レジスタ 1 0 7、2 0 7 の値が設定され、所定の周波数のクロック信号 1 5 3、2 5 3 がボーレートクロック生成回路 1 2 1、2 2 1 から出力される。上述したように、ボーレートクロック生成回路 1 2 1 は 0 ～ 1. 8 7 5 MHz のクロック信号 1 5 3 を出力することがボーレートクロック生成回路 2 2 1 は 1. 8 7 5 ～ 1 5 MHz のクロック信号 1 5 3 を出力することが可能である。

CPU 1 0 2 はクロックセレクタ 1 2 2 を切り替える信号を出力する。この信号に応答して、クロックセレクタ 1 2 2 は所望のクロック信号としてクロック信号

1 5 3、2 5 3、3 5 1、3 5 2、3 5 3 または 4 5 0 の中から一つを選択する。同期式シリアル 1 2 4 においては、クロックセクタ 1 2 2 によって選択されたクロック信号の周波数の速度で、送受信回路 1 2 5 が外部端子 1 0 0 1 経由して、外部周辺機器 1 0 1 1 と通信を行う。

【0 0 1 6】

一方、周辺機器 1 0 1 1 が 3. 7 5 M H z、7. 5 M H z、1 5 M H z または 3 0 M H z のクロック信号で動作する機器の場合、タイマ 1 0 6、2 0 6 から出力されるクロック信号 1 5 3、2 5 3 は不必要である。したがって、クロック停止モジュール 4 3 0 は、第 2 のクロック信号 2 5 2 の出力を停止するとともに、クロック停止モジュール 3 3 1 は、クロック信号 3 5 2 の出力を停止するため、タイマ 1 0 6、2 0 6 はその動作を停止させることになる。一方、クロックセクタ 1 2 2 は CPU 1 0 2 からの信号に応答してクロック信号 3 5 1 ~ 3 5 3 および 4 5 0 のいずれかを選択する。

タイムベースカウンタ 3 6 0 は、単にクロックを分周する回路であるため、第 1 の実施例で説明した $1/n$ カウンタ 1 4 0 と同様にその消費電力は極めて小さい。具体的には、タイマ 1 0 6 の消費電力と比較すると約 $1/100$ 程度である。したがって、周辺機器 1 0 1 1 が 3. 7 5 M H z、7. 5 M H z または 1 5 M H z のクロック信号で動作する機器の場合、周辺機器 1 0 1 1 が 0 ~ 1. 8 7 5 M H z のクロック信号で動作する機器の場合に比べてより低消費電力で動作が可能となる。

また、周辺機器が 1 5 M H z 以下の任意の周波数のクロック信号を必要とする場合は第 2 の実施例と同じ状況になるのでその説明は省略する。

第 4 の実施例におけるタイマ 1 0 6、2 0 6 は、最初から不要な回路になる可能性があるが、半導体集積回路 3 0 1 はあらゆる周辺機器に対応できるよう設計されているため必要である。また、第 4 の実施例は第 1 の実施例同様に選択的ディスプレイとは異なる。

【0 0 1 7】

【発明の効果】

以上詳細に説明したように、この発明の半導体集積回路装置によれば、半導体

集積回路に接続される周辺機器を動作させるクロック信号の周波数に応じてクロックジェネレータからの信号を適切なルートを経て出力するようにしたため、低消費電力化を図ることができる。

【図面の簡単な説明】

【図 1】

この発明の第 1 の実施例に係る半導体集積回路装置のブロック図

【図 2】

この発明の第 2 の実施例に係る半導体集積回路装置のブロック図

【図 3】

この発明の第 3 の実施例に係る半導体集積回路装置のブロック図

【図 4】

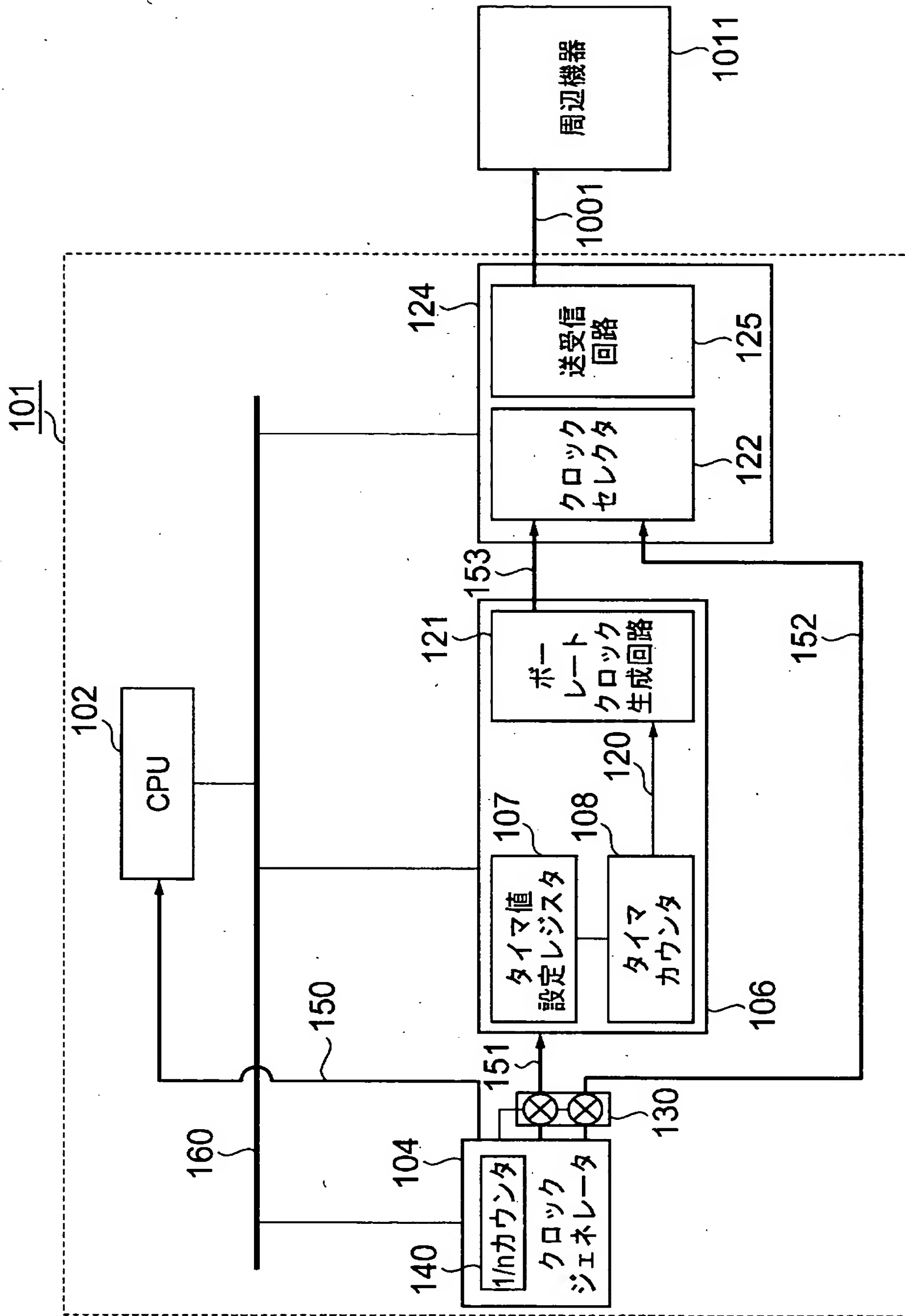
この発明の第 4 の実施例に係る半導体集積回路装置のブロック図

【符号の説明】

- 1 0 1 半導体装置
- 1 0 2 CPU
- 1 0 4 クロックジェネレータ
- 1 0 6 タイマ
- 1 2 4 同期式シリアル
- 1 3 0 クロック停止モジュール
- 1 5 0、1 5 1、1 5 2、1 5 3 クロック信号
- 1 0 1 1 周辺機器

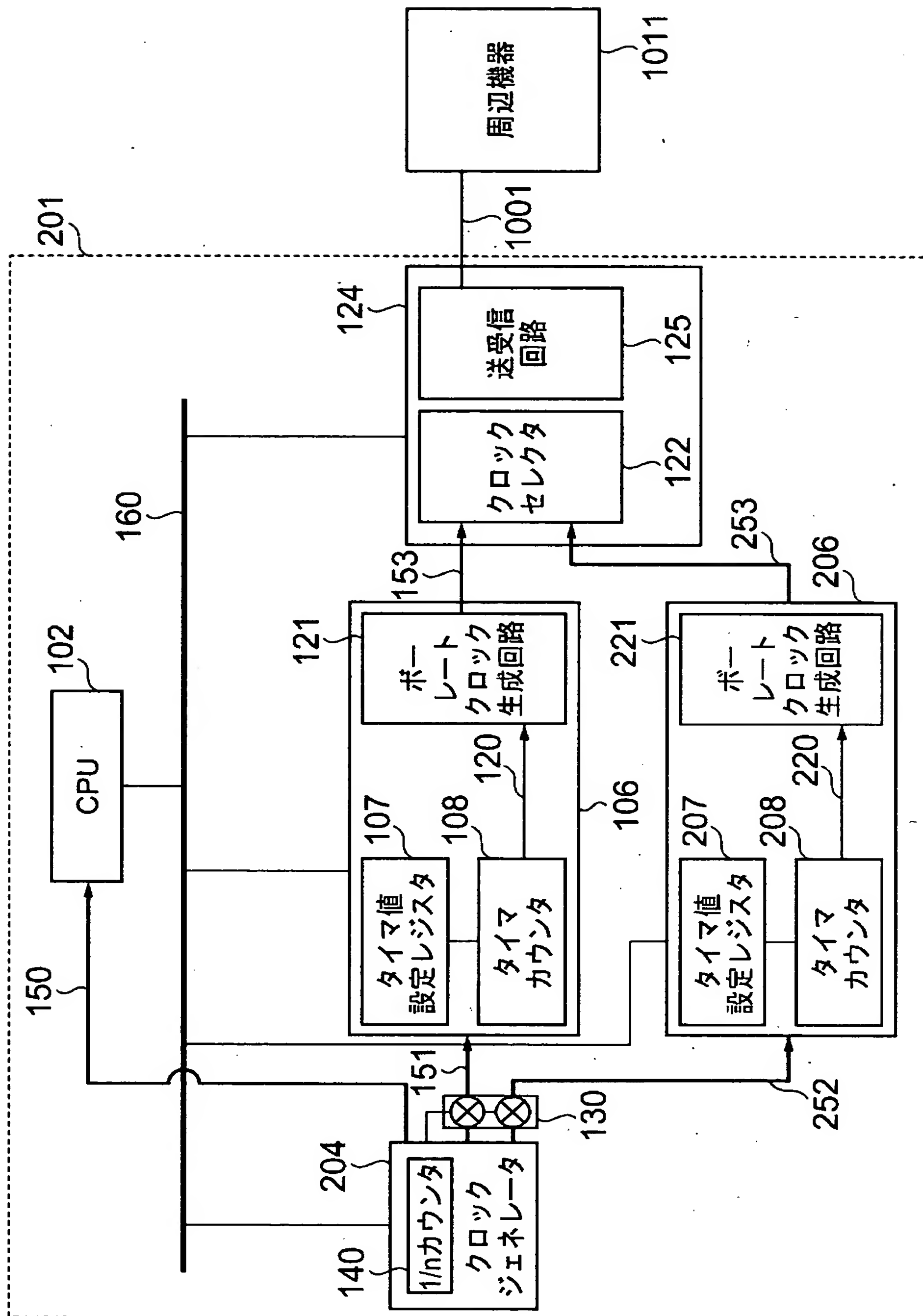
【書類名】 図面

【図 1】



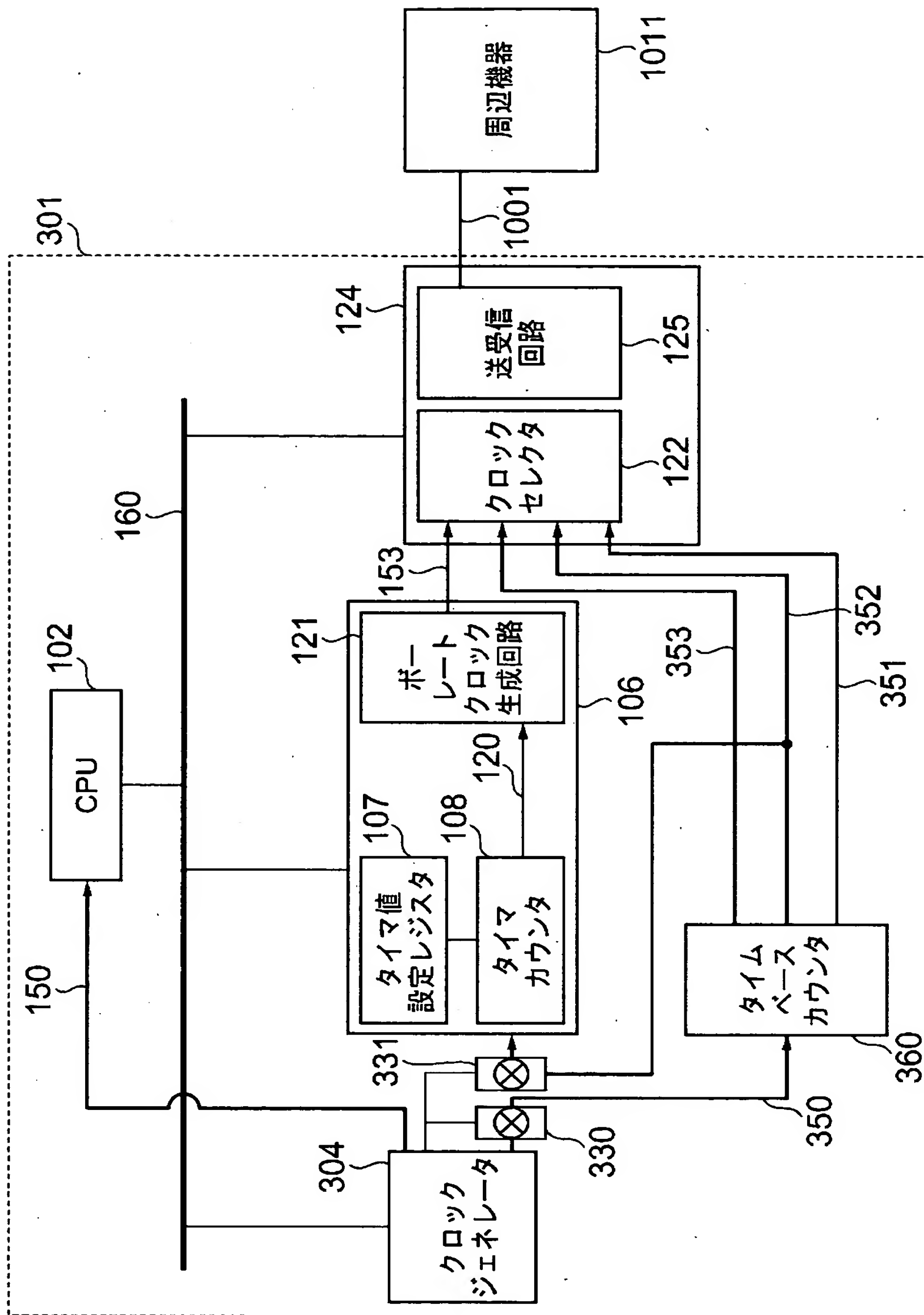
第1の実施例

【図 2】



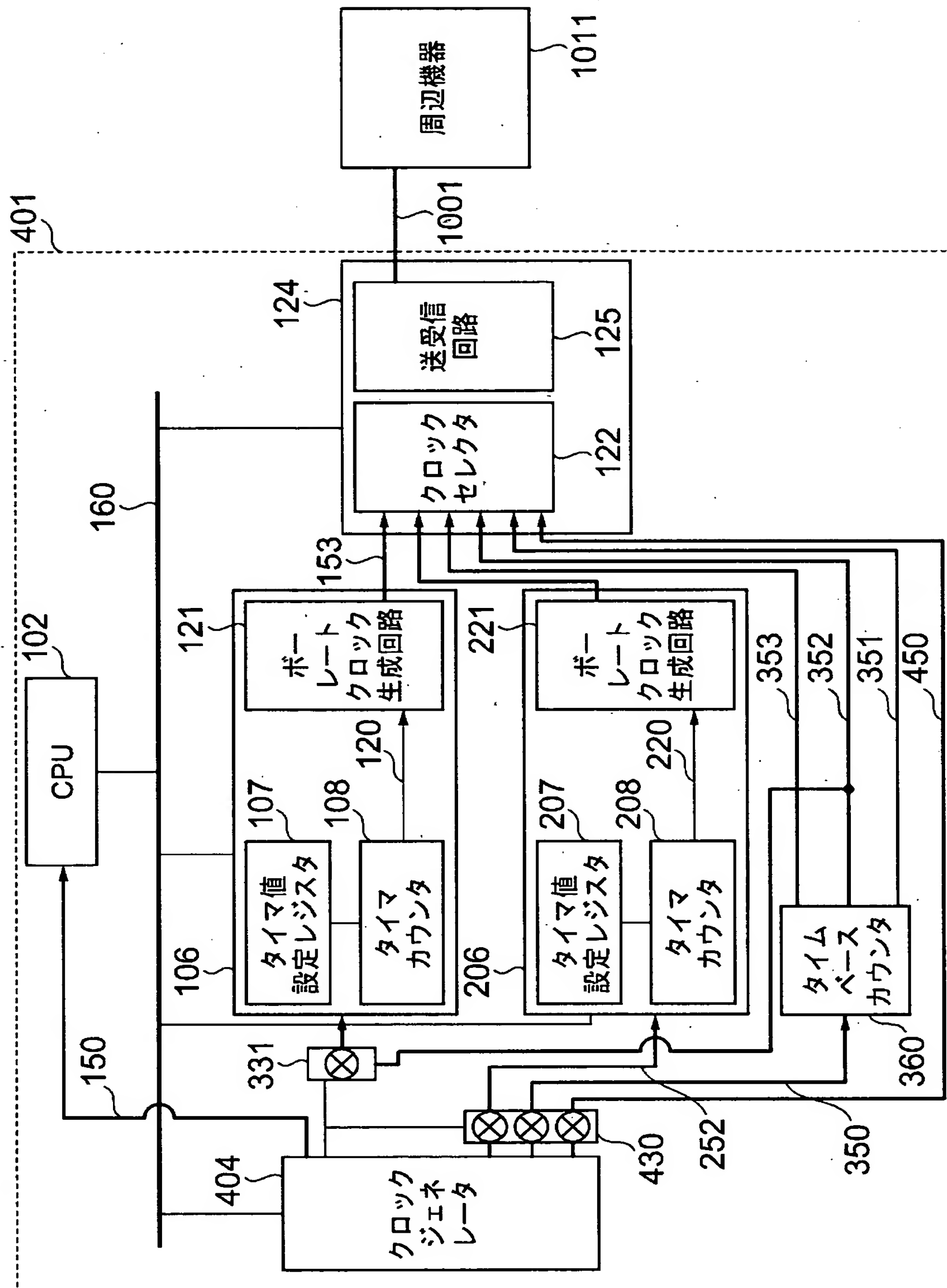
第2の実施例

【図 3】



第3の実施例

【図 4】



第4の実施例

【書類名】 要約書

【要約】

【課題】 低消費電力で周辺機器を動作させることができる適切な周波数のクロックを生成する。

【解決手段】 所定の周波数の第1のクロック信号で動作する周辺機器をその外部に接続する半導体集積回路装置は、第1のクロック信号の周波数に関する情報を有するCPUと、このCPUを動作させる第2のクロック信号を生成すると共に、この第2のクロック信号を分周した複数の第3のクロック信号を出力するクロックジェネレータと、このクロックジェネレータから第3のクロック信号を受け取り、CPUの情報に基づいて第3のクロック信号のうち一つのみを選択的に出力するクロック停止部と、このクロック停止部から第3のクロック信号のうちの一つを受け取った場合のみ動作し、受け取ったクロック信号の周波数を変換して出力するタイマと、このタイマから出力されたクロック信号と、クロックジェネレータから出力された第3のクロック信号の他の一つを受け取り、CPUからの情報に基づいて受け取ったクロック信号のうちの一つを周辺機器に供給する同期式シリアルとを有している。

【選択図】 図1

特 2 0 0 2 - 2 5 1 0 7 3

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 2 - 2 5 1 0 7 3
受付番号	5 0 2 0 1 2 8 8 4 5 5
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 4 年 8 月 3 0 日

< 認定情報・付加情報 >

【提出日】 平成14年 8月29日

次頁無

特 2 0 0 2 - 2 5 1 0 7 3

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 0 2 9 5]

1. 変更年月日	1 9 9 0 年 8 月 2 2 日
[変更理由]	新規登録
住 所	東京都港区虎ノ門 1 丁目 7 番 1 2 号
氏 名	沖電気工業株式会社